

## *Integración de bloques IP en diseños SoC*

**Horacio Villagarcía Wanza, Oscar Bria<sup>1</sup>**

*LIDI. Laboratorio de Investigación y Desarrollo en Informática.  
Facultad de Informática. UNLP.  
50 y 115. 1er Piso. La Plata*

### **Palabras Clave**

Arquitectura de Computadoras, SoC -System on a Chip-, bloques IP -Intellectual Property-, VHDL.

### **Resumen**

La metodología de diseño de sistemas SoC basándose en bloques IP (Hard o Soft) presenta diversos retos, desde las cuestiones relativas a la síntesis y validación de cada bloque IP, hasta las características de integración física y verificación funcional del sistema completo. Nos propusimos abordar la temática del diseño de bloques IP basándonos en descripciones de hardware por lenguaje (en particular VHDL) y avanzar en los mecanismos para re-utilizar dichos bloques como parte de distintos sistemas.

### **Introducción**

La complejidad del hardware ha crecido de modo sostenido en los últimos años a punto tal que es posible diseñar -y fabricar- computadores digitales completos (CPU, Memoria y E/S) o colocar múltiples procesadores en un único chip de silicio con diversas soluciones tecnológicas (por ejemplo: ASIC's, CPLD's, FPGA's y Systems-on-Chip entre otras) y se proponen metodologías de diseño con distintos niveles de abstracción – flexibilidad que se basan en esas nuevas soluciones tecnológicas [1,2].

En la metodología de diseño System-on-a-Chip (SoC) el diseñador combinará bloques pre-diseñados y pre-verificados en un chip para implementar funciones complejas, poseyendo un limitado conocimiento de la estructura interna de esos bloques. Debe asegurarse entonces, el correcto diseño físico (temporizados, potencia, tamaño) y un comportamiento funcional verificable del sistema.

### **Temas de Investigación y Desarrollo**

Son de interés los siguientes temas:

- **Integración de bloques IP en diseños SoC.**

El ensamble de un conjunto de bloques en un diseño jerárquico presentará varias opciones y por lo tanto podremos encontrar diferentes problemas que deberán ser administrados con distintas estrategias. La selección de un bien diseñado y bien documentado bloque IP reduciría el esfuerzo de integración [5,7].

- **Verificación a nivel sistema.**

Las estrategias de verificación a nivel de sistema en un diseño SoC usan el esquema “divide y conquista” de un sistema jerárquico. Se comienza con la verificación de los

---

<sup>1</sup> Profesores Ordinarios Dedicación Exclusiva

bloques elementales, luego las interfaces entre bloques y finalmente el sistema completo (chip). En particular éste último paso es una verificación funcional que se realiza con aplicaciones de complejidad creciente [6].

- **Re-usabilidad de bloques IP.**

El temporizado, el consumo de potencia y las estructuras de test de los bloques “Hard IP” son tópicos definidos en la etapa de diseño del bloque propiamente dicho, y que facilitan o no su re-usabilidad. Los mecanismos de interface previstos para cada bloque también constituyen un elemento definitorio de su re-usabilidad [6].

En todos los casos asumimos que la herramienta básica para generar un bloque IP será un Lenguaje como VHDL. En particular, utilizaremos para la ‘compilación a silicio’ dispositivos lógicos programables complejos (CPLD).

### **Algunos resultados obtenidos. Líneas de Investigación en curso.**

Además de los primeros estudios académicos mencionados en [1] y en los que se utilizó VHDL como herramienta de descripción, trabajamos en la idea de incorporar múltiples procesadores (bloques IP) en un único chip [3,4], surgiendo diferentes inconvenientes y por consiguiente problemas a resolver o, al menos, abordar. En particular nos centramos en el estudio de políticas para la verificación funcional de SoC, las características de interface entre bloques IP y el análisis más profundo de las especificaciones de diseño para facilitar la aplicación de test a los bloques IP.

### **Bibliografía**

- 1- H. Villagarcía, O. Bria “Diseño de bloques IP: Programabilidad y Re-utilización”, Anales III Workshop de Investigadores en Ciencias de la Computación, pág.2-5. Mayo 2001.
- 2- S. Wilton, R.Saleh, “Programmable Logic IP Cores in SoC Design: Opportunities and Challenges”, Proc. IEEE Custom Integrated Circuit Conference, San Diego, CA., pág. 63-66. Mayo 2001.
- 3- G. Jaquenod, H. Villagarcía, O. Bria, M. De Giusti “Adaptación del núcleo IP de un procesador tipo MC6805 para operar en un ambiente multiprocesador y multitarea”, Anales VII Congreso Argentino de Ciencias de la Computación, Tomo II, pág. 1323-1332, Octubre 2001.
- 4- G. Jaquenod, H. Villagarcía, M. De Giusti “Towards a Field Configurable non-homogeneous Multiprocessors Architecture”, Proc. V World Multiconference on Systemics, Cybernetics and Informatics, Vol XIV, pág. 248-253, Julio 2001
- 5- J. Plantin, E. Stoy, “Aspects on System-Level Design”, Proc. VII Int’l Workshop on Hardware Software Codesign, pág.209-210. Mayo 1999.
- 6- M. Keating, P. Bricaud, “Reuse Methodology Manual for System-On-a-Chip Designs” 2<sup>nd</sup> Ed, Kluwer Academic Publishers 2001, USA. ISBN 0-7923-8558-6.
- 7- W. Wolf, “Computers as Components: Principles of Embedded Computer Systems Design”, Morgan Kaufmann Publishers 2000, USA. ISBN 155860541X